

JAPANESE UNEXAMINED PATENT PUBLICATION (A)

(11) Publication number: 08-125187

(43) Date of publication of application:
17.05.1996-----
(51) Int.CI.

H01L 29/786

H01L 21/336

(21) Application number: (71) Applicant:

06-258123

NIPPON TELEGRAPH &
TELEPHONE CORP <NTT>

(22) Date of filing:

24.10.1994

(72) Inventor:

IMAI KAZUO
MIURA KENJI
AOKI TAKAHIRO
-----(54) [Title of the Invention] MOS Type Semiconductor
Device Having SOI Structure and Method for Fabricating
Same

(57) [Abstract]

[Object] To suppress a decline in the performance of a transistor due to an increase in the capacity of a gate electrode in the case of provision of a body contact region.

[Configuration] A source region 6 connected with a source electrode 10 and a drain region 7 connected with a drain electrode 11 are formed on a silicon layer 16 on an insulating film 15 across a channel region 9, a body contact region 8 is formed in connection with the channel region 9, a body contact electrode 12 is connected with the body contact region 8, and a gate electrode 5 is formed through a gate insulating film 4 on the channel region 9 and through an insulating film 18, thicker than a gate insulating film 4 on a part of the body contact region 8.

[SCOPE OF CLAIM FOR PATENT]

[Claim 1] An SOI structure MOS type semiconductor device characterized in that a source region connected to a first electrode and a drain region connected to a second electrode are formed on a semiconductor layer on an insulating film while a channel region is sandwiched therebetween, a first semiconductor layer is formed connected to said channel region, a third electrode is connected to the first semiconductor layer, and a gate electrode is formed through a first insulating layer and a second insulating layer, at a part of the first semiconductor layer, greater in thickness than the first insulating layer on the channel region.

[Claim 2] A method for fabricating an SOI structure MOS type semiconductor device characterized by having:

- a step of forming an element isolation oxide film by selectively oxidizing a silicon substrate formed on an insulating film leaving element formation regions,

- a step of oxidizing a surface of the element formation regions to form a first oxide film,

- a step of removing part of first oxide film,

- a step of oxidizing the silicon substrate to form a gate oxide film at a region from which the first oxide film was removed and increasing the thickness of the first oxide film left behind to form a second oxide film,

- a step of forming a gate electrode on the gate oxide film,

- a step of doping an impurity into the semiconductor region contiguous with the region directly under the gate oxide film to form a source region and a drain region, and

- a step of forming a body contact in the semiconductor region connected to the channel region.

[Detailed Description of the Invention]

[0001]

[Field of Utilization in Industry] The present invention relates to an SOI structure MOS type

semiconductor device formed on a semiconductor layer formed on an insulating film and a method for fabricating the same, more particularly relates to an SOI structure MOS type semiconductor device which has a body contact which suppresses an increase in gate electrode capacity and a method for fabricating the same.

[0002]

[Prior Art] A MOS type semiconductor device formed on a substrate of an SOI structure has the characteristic feature that the semiconductor substrate and the regions where the transistors etc. are formed are completely separated by an insulating film.

[0003] With this type of MOS type semiconductor device, since carriers accumulate in the semiconductor region forming the channel directly under a gate electrode, the threshold sometimes changes. As means for dealing with such fluctuations in threshold, there are the method of draining the stored carriers by a body contact and a method of fully depleting the semiconductor region forming the channel to prevent storage of carriers.

[0004] However, while the configurations of FIG. 10 to FIG. 12 explained below have been proposed as methods for body contact, with the method of body contact, it is necessary to provide a body contact electrode and the area of an element becomes larger, so this is unsuitable for miniaturization of elements. For this reason, many studies have been made in the direction of full depletion. Specifically, no deep studies have been made about the problem of using a body contact.

[0005] FIG. 10 gives views explaining the configuration of a MOS type semiconductor device which has a body contact, wherein FIG. 10(a) is a plan view and FIG. 10(b) is its sectional view. In FIG. 10, 1 is a p⁻-type silicon substrate, 3 is an active region comprised of silicon covered by an oxide film 2 for element isolation, 4 is a gate insulating film formed at

a predetermined region of the active region 3, 5 is a gate electrode formed via the gate insulating film 4 on the active region 3, and 5' is a gate terminal.

[0006] Moreover, 6 is a source region formed by doping an n+ impurity into one of the two sides of the gate electrode 5 of the active region 3, 7 is a drain region formed by doping an n+ impurity in the other of the two sides of the gate electrode 5 of the active region 3, and 8 is a body contact region formed by doping a p+ impurity in the active region 3. Reference numeral 9 is a channel region under the gate electrode 5 sandwiched between the source region 6 and the drain region 7 of the active region 3.

[0007] Moreover, 10 is a source electrode connected through a not shown contact with the source region 6, 11 is a drain electrode connected through a not shown contact with the drain region 7, 12' is a terminal corresponding to a body contact electrode connected through a not shown contact with the body contact region 8, and 13 is an interlayer insulating film for insulation between electrodes.

[0008] The thus configured N-channel MOSFET enables the terminal 12' to be provided independently of the gate electrode 5, drain electrode 11, and source electrode 10, so the transistor operation can be controlled by supplying potentials independently to the gate electrode 5, drain electrode 11, source electrode 10, and terminal 12'.

[0009] Therefore, in an N-channel MOSFET formed on a bulk structure constituted in this way, since the terminal 12' can be taken out through the semiconductor substrate 1, it can be provided independently from the gate electrode 5, drain electrode 11, and source electrode 10.

[0010] However, in a MOS type semiconductor device which forms a MOSFET on an SOI structure, since the transistor formation region and substrate are separated

by a buried oxide film, it is difficult to take out the body contact electrode, which corresponds to the terminal 12', in the same way as in the method explained in FIG. 10.

[0011] Note that, in a MOS type semiconductor device which forms a MOSFET on an SOI structure, if a body contact electrode 12 corresponding to the terminal 12' is not provided, due to the fluctuations in the potential of the body contact region 8 during operation of the MOSFET, a kink phenomenon due to fluctuation of the threshold voltage and deterioration of the drain breakdown voltage due to the body contact region 8 operating as a base of a bipolar transistor will occur and normal MOSFET operation cannot be obtained.

[0012] To solve this problem, a MOS type semiconductor device has been proposed in which, as shown in the plan view in FIG. 11(a) and in the sectional view along the line B-B' in FIG. 11(b), a source region 6 is formed on a p⁻-type silicon layer 16 formed on the surface of a silicon substrate 14 through an insulating film 15 and a body contact electrode 12 is provided near this source region 6.

[0013] According to such a configuration, the potential of the body contact electrode 12 is set to be equal to the source electrode 10. For this reason, an inconvenience arises in that the potential of the body contact electrode 12 is not able to be set to a potential different from the source electrode 10.

[0014] For example, in a normal MOSFET, the source electrode 10 and the drain electrode 11 are not fixed from the start and can be interchanged according to a circuit operation. However, when providing the body contact electrode 12 as shown in FIG. 11, the source electrode 10 and the drain electrode 11 have to be fixed and therefore there is a restriction in circuit design.

[0015] To solve this problem, a MOS type semiconductor device has been proposed wherein, as shown

in FIG. 12(a) and FIG. 12(b) in the same way as FIG. 11, a body contact electrode 12 is provided on an extension of the gate electrode 5. According to such a configuration, the body contact electrode 12 can be set in potential independently of both the source electrode 10 and the drain electrode 11.

[0016]

[Problems to be Solved by the Invention] However, in a MOSFET constituted in this way, the performance of the transistor can be expressed by G_m/C_g when the capacity formed between the gate electrode 5 and the body contact electrode 12 is C_g and the maximum value of change of the drain current with respect to the change of voltage of the gate electrode 5 is G_m .

[0017] Comparing this transistor performance G_m/C_g between a MOSFET on a bulk of FIG. 10 and a MOSFET on a SOI of FIG. 12, when the thickness, channel length, and channel width of the gate insulating film 4 are equal, the maximum G_m becomes equal, but the capacity C_g will become larger in the configuration of FIG. 12 than the configuration of FIG. 10. That is, with the configuration of FIG. 12, an extra gate capacity corresponding to the area of the hatched portion is added and thereby causes deterioration of the transistor performance.

[0018] With the thus configured conventional SOI structure MOS semiconductor device, there was the problem that the capacity between the gate electrode 5 and the body contact region 8 for taking the body contact electrode 12 was relatively large, there was a large influence on the operating speed of the transistor, and the transistor performance deteriorated.

[0019] Therefore, the present invention was made to solve the above problems in the prior art and has as its object to provide an SOI structure MOS type semiconductor device which can suppress a decline in the transistor performance due to an increase in the gate electrode capacity when providing a body contact region, and a

method for fabricating the same.

[0020]

[Means for Solving the Problem] In order to achieve this object, the SOI structure MOS type semiconductor device according to the present invention is one in which a source region connected to a first electrode and a drain region connected to a second electrode are formed on a semiconductor layer on an insulating film while a channel region is sandwiched therebetween, a first semiconductor layer is formed connected to said channel region, a third electrode is connected to the first semiconductor layer, and a gate electrode is formed through a first insulating layer and a second insulating layer, at a part of the first semiconductor layer, greater in thickness than the first insulating layer on the channel region.

[0021] Further, the method for fabricating an SOI structure MOS type semiconductor device according to the present invention is one comprised of a step of forming an element isolation oxide film by selectively oxidizing a silicon substrate formed on an insulating film leaving element formation regions, a step of oxidizing a surface of the element formation regions to form a first oxide film, a step of removing part of the first oxide film, a step of oxidizing the silicon substrate to form a gate oxide film at a region from which the first oxide film was removed and increasing the thickness of the first oxide film left behind to form a second oxide film, a step of forming a gate electrode on the gate oxide film, a step of doping an impurity into the semiconductor region contiguous to the region directly under the gate oxide film to form a source region and a drain region, and a step of forming a body contact in the semiconductor region connected to the channel region.

[0022]

[Mode of Operation] In the present invention, the increase in the gate capacity is suppressed by thickly

forming a second insulating layer connecting with the first insulating layer and forming a gate electrode on these films.

[0023]

[Embodiments] Below, embodiments of the present invention will be explained in detail using the drawings. FIG. 1 gives views of the configuration of a MOSFET explaining an embodiment of a SOI structure MOS semiconductor device according to the present invention, wherein FIG. 1(a) is a plan view of principal parts and FIG. 1(b) is a sectional view along the line B-B' line. Portions the same sign with FIG. 12 are given the same reference numerals. In FIG. 1, a p^+ -type body contact region 8 is formed contiguously with the front end of the gate electrode 5 on its extension, while the body contact electrode 12 is formed on this body contact region 8.

[0024] Moreover, on a p^- -type silicon layer 16 contiguous with the body contact region 8 of the gate electrode 5, an insulating film 18 is formed which is connected with a gate insulating film 4, and thicker than this gate insulating film 4, on a channel region 9. The gate electrode 5 is formed over the gate insulating film 4 and this insulating film 18. In this case, the thick insulating film 18 is structured formed in the hatched region 17 of FIG. 1(a) in the region for formation of the gate electrode 5 and is formed continuous from the gate insulating film 4 on the channel region 9. Note that the thickness of this insulating film 18 is made 2 to 5 times the thickness of the gate insulating film 4 directly under the gate electrode 5.

[0025] In such a configuration, the source region 6, drain region 7, and gate electrode 5 are indispensable in order to operate the MOSFET. Ideally, the gate electrode 5 is present between the source region 6 and the drain region 7, but in an actual manufacturing process, since it is necessary to expect some variation in the precision

of the masks used for forming the structures, the gate electrode 5 is formed extending to other regions such as the body contact region 8.

[0026] According to such a configuration, since the gate oxide film 18 in the hatched region 17 forming the portion increasing the gate capacity of the gate electrode 5 is formed thickly, a gate capacity corresponding to the area of this hatched region 17 is no longer added and the increase of the gate capacity is suppressed.

[0027] FIG. 2 gives views of the configuration of a MOSFET explaining another example of a SOI structure MOS type semiconductor device according to the present invention, wherein FIG. 2(a) is a plan view of principal parts, and FIG. 2(b) is sectional view along the line B-B'. Portions the same as in the above figures are given the same reference numerals. In FIG. 2, the point different from FIG. 1 is that a p^- -type connection region 19 is formed connected with the p^+ -type body contact region 8 formed at the front end of the gate electrode 5 at each side of the source region 6 and the drain region 7.

[0028] Moreover, the gate electrode 5 is formed intersecting both the connection region 19 and body contact region 8. Directly under the gate electrode 5 at this connection region 19 and the body contact region 8, an insulating film 18 thicker than this gate insulating film 4 is formed and connected with the gate insulating film 4 on the channel region 9. The gate electrode 5 is formed over the gate insulating film 4 and this insulating film 18. In this case as well, the thick insulating film 18 is formed continuous with the gate insulating film 4 in the hatched region 17 shown in FIG. 2(a).

[0029] In such a configuration, a region formed with the thick insulating film 18 is made part of the

connection region 19 because masks are necessary to change the thickness of the gate insulating film 4 for every region and it is necessary to expect variation in their precision, so a location is formed where the thickness of the insulating film 18 is the same as the thickness of the gate insulating film 4 at the portion of transition from the regions for formation of the source region 6 and the drain region 7 to the connection region 19.

[0030] In such a configuration as well, since the gate oxide film 18 in the hatched region 17 forming the portion increasing the gate capacity of the gate electrode 5 is formed thickly, a gate capacity corresponding to the area of this hatched region 17 is no longer added and the increase of the gate capacity is suppressed.

[0031] Next, the method for fabricating the SOI structure MOS semiconductor device constituted in this way is explained. FIG. 3 to FIG. 9(a) are sectional views of principal parts showing steps of a MOSFET explaining an embodiment of the method for fabricating a SOI structure MOS semiconductor device. Note that FIG. 9(b) is a plan view of FIG. 9(a).

[0032] First, as shown in FIG. 3, a substrate 20 having a p⁻-type silicon layer 16 formed via an insulating film 15 on a silicon substrate 14 is prepared. Next, as shown in FIG. 4, a not illustrated anti-oxidation film such as silicon nitride is formed on the element formation regions of this silicon layer 16, and the regions other than the element formation regions are selectively oxidized by an ordinary process to form an element isolation oxide film 2.

[0033] Next, the anti-oxidation film is removed to expose the silicon layer 16 and, as shown in FIG. 5, the surface of the element formation regions are oxidized to form the first oxide film 21. The regions with a low crystallinity formed at the ends of the selectively

oxidized regions are oxidized by this step (sacrificial oxidation).

[0034] Next, as shown in FIG. 6, the first oxide film 21 of the element formation regions is removed by the usual etching method. Furthermore, this substrate 20 is oxidized. Due to this, as shown in FIG. 7, a gate insulating film 4 is formed in the regions from which the first oxide film 21 was removed, while the thickness of the remaining first oxide film 21 is also increased and a thick second insulating film 18 is formed.

[0035] Next, as shown in FIG. 8, the gate electrode 5 is formed on the gate insulating film 4. An impurity is doped into the silicon layer 16 contiguous with the channel region 9 directly under this gate electrode 5. Due to this, as shown in FIG. 9(b), the source region 6 and the drain region 7 are formed.

[0036] Further, part of the second oxide film 18 formed on the silicon layer 16 connected with the channel region 9 is etched to form the body contact 22, then an impurity is doped into this body contact 22 to form an SOI structure MOS semiconductor device as shown in FIGS. 9(a) and (b).

[0037] According to this process of production, by using a sacrificial oxidization step and a gate insulating film formation step, the oxide film 18 with the different thickness can be formed with the minimum number of steps and an unnecessary heat treatment etc. becomes no longer necessary.

[0038] Note that, in the embodiments mentioned above, the explanation was given with reference to a structure where the structure of the body contact electrode was one which could be interchanged between the source region and the drain region, but of course the invention can also be applied to a case of providing the body contact electrode at the source region side.

[0039] Moreover, in the embodiments mentioned above, the explanation was given with reference to a case of an

N-channel MOSFET as the SOI structure MOS type semiconductor device, but the same effect is obtained as above in the case of a P-channel MOSFET by just switching the N-type and P-type.

[0040]

[Effect of the Invention] As mentioned above, according to the SOI structure MOS type semiconductor device according to the present invention, since a decline in the transistor performance due to an increase in the gate electrode capacity in the case of providing a body contact can be suppressed, there is the extremely excellent effect that a high performance MOS type semiconductor device which takes advantage of the characteristic features of the SOI structure is obtained.

[0041] Moreover, according to the process of production of the SOI structure MOS type semiconductor device according to the present invention, there is the extremely excellent effect that an SOI structure MOS type semiconductor device which has a body contact can be formed easily with the minimum number of steps.

[Brief Description of the Drawings]

[FIG. 1] is a view explaining the configuration according to an embodiment of an SOI structure MOS type semiconductor device of the present invention.

[FIG. 2] is a view explaining the configuration according to another embodiment of an SOI structure MOS type semiconductor device according to the present invention.

[FIG. 3] is a sectional view of principal parts at an initial step for explaining an embodiment of the process of production of an SOI structure MOS type semiconductor device according to the present invention.

[FIG. 4] is a sectional view of the step following FIG. 3.

[FIG. 5] is a sectional view of the step following FIG. 4.

[FIG. 6] is a sectional view of the step following

FIG. 5.

[FIG. 7] is a sectional view of the step following FIG. 6.

[FIG. 8] is a sectional view of the step following FIG. 7.

[FIG. 9] is a sectional view and plan view of the step following FIG. 8.

[FIG. 10] is a view explaining the configuration of a conventional MOS type semiconductor device.

[FIG. 11] is a view explaining the configuration of a conventional SOI structure MOS type semiconductor device.

[FIG. 12] is a view explaining the configuration of a conventional SOI structure MOS type semiconductor device.

[Explanation of Symbols]

1... silicon substrate, 2... oxide film, 3... active region, 4... gate insulating film, 5... gate electrode, 6... source region, 7... drain region, 8... body contact region, 9... channel region, 10... source electrode, 11... drain electrode, 12... body contact electrode, 13... interlayer insulating film, 14... silicon substrate, 15... insulating film, 16... p⁻-type layer, 17... region for changing gate insulating film, 18... insulating film, 19... connection region, 20... substrate, 21... insulating film, 22... body contact portion.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08125187 A**

(43) Date of publication of application: **17 . 05 . 96**

(51) Int. Cl

H01L 29/786

H01L 21/336

(21) Application number: **06258123**

(22) Date of filing: **24 . 10 . 94**

(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**

(72) Inventor: **IMAI KAZUO
MIURA KENJI
AOKI TAKAHIRO**

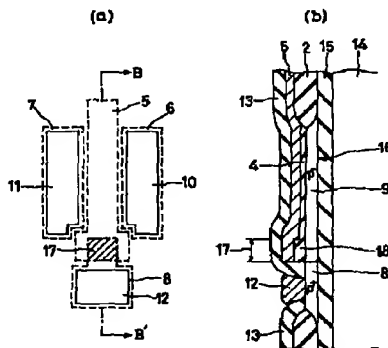
**(54) METHOD AND SYSTEM FOR FABRICATING MOS
TYPE SEMICONDUCTOR DEVICE HAVING SOI
STRUCTURE**

(57) Abstract:

PURPOSE: To suppress deterioration of the performance of a transistor due to increase in the capacity of gate electrode at the time of formation of a body contact region.

CONSTITUTION: A source region 6 connected with a source electrode 10 and a drain region 7 connected with a drain electrode 11 are formed on a silicon layer 16 overlying an insulation film 15 on the opposite sides of a channel region 9 connected with a body contact region 8. The body contact region 8 is connected with a body contact electrode 12 and a gate electrode 5 is formed through an insulation film 18, thicker than a gate insulation film 4, on the channel region 9 and on a part of the gate insulation film 4 and the body contact region 8.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-125187

(43) 公開日 平成8年(1996)5月17日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/336		9056-4M 9056-4M	H 0 1 L 29/ 78	6 2 6 B 6 1 7 S

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平6-258123

(22) 出願日 平成6年(1994)10月24日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 今井 和雄

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 三浦 賢次

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 青木 隆宏

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

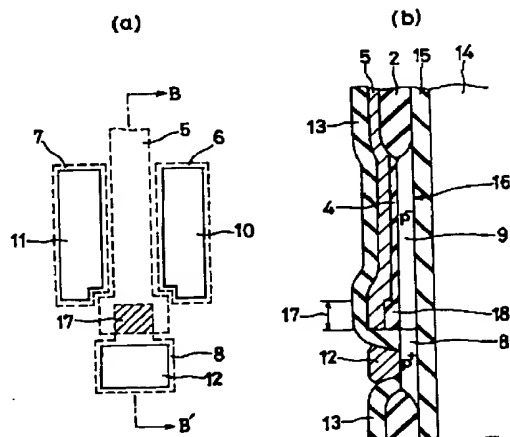
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 SOI 構造MOS型半導体装置およびその製造方法

(57) 【要約】

【目的】 ボディコンタクト領域を設置する場合のゲート電極容量の増加によるトランジスタ性能の低下を抑制する。

【構成】 絶縁膜15上のシリコン層16にチャンネル領域9を挟んでソース電極10に接続されたソース領域6とドレイン電極11に接続されたドレイン領域7とが形成され、チャンネル領域9に接続してボディコンタクト領域8が形成され、このボディコンタクト領域8にボディコンタクト電極12が接続され、チャンネル領域9上にゲート絶縁膜4およびボディコンタクト領域8の一部にゲート絶縁膜4より厚さの厚い絶縁膜18を介してゲート電極5が形成されている。



【特許請求の範囲】

【請求項1】 絶縁膜上の半導体層にチャネル領域を挟んで第1の電極に接続されたソース領域と第2の電極に接続されたドレイン領域とが形成され、前記チャネル領域に接続して第1の半導体層が形成され、前記第1の半導体層に第3の電極が接続され、前記チャネル領域上に第1の絶縁層および前記第1の半導体層の一部に前記第1の絶縁層より厚さの厚い第2の絶縁層を介してゲート電極が形成されていることを特徴とするSOI構造MOS型半導体装置。

【請求項2】 絶縁膜上に形成されたシリコン基板を素子形成領域を残し選択酸化により素子間分離用酸化膜を形成する工程と、

前記素子形成領域の表面を酸化し第1の酸化膜を形成する工程と、

前記第1の酸化膜の一部を除去する工程と、

前記シリコン基板を酸化し、前記第1の酸化膜を除去した領域にゲート酸化膜を形成し、残置された前記第1の酸化膜の膜厚を増大させて第2の酸化膜を形成する工程と、

前記ゲート酸化膜上にゲート電極を形成する工程と、

前記ゲート酸化膜直下の領域に隣接する半導体領域に不純物を導入し、ソース領域とドレイン領域とを形成する工程と、

前記チャネル領域に接続する半導体領域にボディコタクトを形成する工程と、を有することを特徴とするSOI構造MOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁膜上に形成された半導体層に形成されるSOI構造MOS型半導体装置およびその製造方法に係わり、特にゲート電極容量の増加を抑制するボディコンタクトを有するSOI構造MOS型半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】SOI構造の基板上に形成されたMOS型半導体装置においては、半導体基板とトランジスタなどの形成されている領域とが絶縁膜により完全に分離されていることが特徴である。

【0003】この種のMOS型半導体装置では、ゲート電極直下のチャネル部を構成する半導体領域にはキャリアが蓄積されるために閾値が変動する場合がある。この閾値の変動を解決する手段としては、ボディコンタクトを取ることに蓄積したキャリアを引き抜く方法と、チャネル部を構成する半導体領域を完全に空乏化（フルディプレッション）することによりキャリアを蓄積させない方法とがある。

【0004】しかし、ボディコンタクトを取る方法として以下に説明する図10～図12の構成が提案されているものの、ボディコンタクトを取る方法では、ボディコ

ンタクト電極を設置する必要がある、素子面積が大きくなり、素子の微細化に不向きである。このため、フルディプレッション化を図る方向で多くの検討がなされ、具体的にボディコンタクトを取った場合の問題点については深い検討はなされていなかった。

【0005】図10は、前述したボディコンタクトを有するMOS型半導体装置の構成を説明する図であり、図10(a)は平面図、図10(b)はその断面図である。図10において、1はp⁻型のシリコン基板、3は周辺の素子分離のための酸化膜2で覆われたシリコンからなるアクティブ領域、4はアクティブ領域3の所定の領域に形成されたゲート絶縁膜、5はアクティブ領域3上にゲート絶縁膜4を介して形成されたゲート電極、5'はゲート端子である。

【0006】また、6はアクティブ領域3のゲート電極5の両側の一方にn⁺不純物を注入することに形成されたソース領域、7はアクティブ領域3のゲート電極5の両側の他方にn⁺不純物を注入することに形成されたドレイン領域、8はアクティブ領域3内にp⁺不純物を注入することにより形成されたボディコンタクト領域である。9はアクティブ領域3のソース領域6とドレイン領域7とに挟まれたゲート電極5下のチャネル領域である。

【0007】また、10はソース領域6と図示しないコンタクトを介して接続されたソース電極、11はドレイン領域7と図示しないコンタクトを介して接続されたドレイン電極、12'はボディコンタクト領域8と図示しないコンタクトを介して接続されたボディコンタクト電極に相当する端子、13は各電極間を絶縁する層間絶縁膜である。

【0008】このように構成されるNチャネルMOSFETは、端子12'を、ゲート電極5、ドレイン電極11およびソース電極10とは独立して設置することができるので、ゲート電極5、ドレイン電極11、ソース電極10および端子12'にそれぞれ独立して電位を供給することによりトランジスタ動作を制御することができる。

【0009】したがってこのように構成されるバルク構造上に形成されたNチャネルMOSFETでは、端子12'は、半導体基板1を通して取り出すことができるので、ゲート電極5、ドレイン電極11およびソース電極10とは独立して設置可能である。

【0010】しかしながら、SOI構造上にMOSFETを形成するMOS型半導体装置では、トランジスタ形成領域と基板とが埋め込み酸化膜によって分離されているために図10で説明した方法と同様に端子12'に相当するボディコンタクト電極を取り出すことは困難である。

【0011】なお、SOI構造上にMOSFETを形成するMOS型半導体装置では、端子12'に相当するボ

3

ディコンタクト電極12を設置しないと、MOSFETの動作中にボディコンタクト領域8の電位が変動することにより、閾値電圧が変動して生じるキंक現象およびボディコンタクト領域8がバイポーラトランジスタのベースとして動作するために生じるドレイン耐圧劣化などが発生し、正常なMOSFET動作が得られないことになる。

【0012】このような問題を解決するものとしては、図11(a)に平面図、図11(b)にそのB-B'線の断面図で示すようにシリコン基板14の表面に絶縁膜15を介して形成されたp⁻型のシリコン層16上にソース領域6を形成し、このソース領域6の近傍にボディコンタクト電極12を設置したMOS型半導体装置が提案されている。

【0013】このような構成によれば、ボディコンタクト電極12の電位は、ソース電極10と等しく設定される。このため、ボディコンタクト電極12の電位をソース電極10と異なった電位に設定することができないという不都合が生じる。

【0014】例えば通常のMOSFETでは、ソース電極10とドレイン電極11とは初めから固定されているものではなく、回路動作により交換することが可能である。しかし、図11に示すようにボディコンタクト電極12を設置した場合にはソース電極10およびドレイン電極11は固定する必要がある、回路設計上制限を受けることになる。

【0015】このような問題を解決したものとしては、図12(a)、図12(b)に図11と同様に示すようにボディコンタクト電極12をゲート電極5の延長上に設置したMOS型半導体装置が提案されている。このような構成によれば、ボディコンタクト電極12は、ソース電極10とドレイン電極11とは独立して電位設定が可能となる。

【0016】【発明が解決しようとする課題】しかしながら、このように構成されるMOSFETにおいて、そのトランジスタの性能は、ゲート電極5とボディコンタクト電極12との間で形成される容量をC_gとし、ゲート電極5の電圧変化に対するドレイン電流変化の最大値をG_mとすると、G_m/C_gで表わされる。

【0017】このトランジスタ性能G_m/C_gは、前述した図10のバルク上のMOSFETと図12のSOI上のMOSFETとで比較すると、ゲート絶縁膜4の膜厚、チャンネル長およびチャンネル幅が等しい場合には最大値G_mは等しくなるが、容量C_gは、図12の構成では、図10の構成よりも大きくなる。すなわち、図12の構成では、斜線部で示す部分の面積に相当するゲート容量が余分に加わることに、トランジスタ性能を劣化させていた。

【0018】このように構成される従来のSOI構造M

4

OS半導体装置では、ゲート電極5とボディコンタクト電極12をとるためのボディコンタクト領域8との間の容量が比較的大きく、トランジスタの動作速度に大きな影響を与え、トランジスタ性能を劣化させるという問題があった。

【0019】したがって本発明は、前述した従来の課題を解決するためになされたものであり、その目的は、ボディコンタクト領域を設置する場合のゲート電極容量の増加によるトランジスタ性能の低下を抑制することができ、SOI構造MOS型半導体装置およびその製造方法を提供することにある。

【0020】

【課題を解決するための手段】このような目的を達成するために本発明によるSOI構造MOS型半導体装置は、絶縁膜上の半導体層にチャネル領域を挟んで第1の電極に接続されたソース領域と第2の電極に接続されたドレイン領域とが形成され、チャネル領域に接続して第1の半導体層が形成され、この第1の半導体層に第3の電極が接続され、チャネル領域上に第1の絶縁層および第1の半導体層の一部に第1の絶縁層より厚さの厚い第2の絶縁層を介してゲート電極が形成されている。

【0021】また、本発明によるSOI構造MOS型半導体装置の製造方法は、絶縁膜上に形成されたシリコン基板を素子形成領域を残し選択酸化により素子間分離用酸化膜を形成する工程と、素子形成領域の表面を酸化し第1の酸化膜を形成する工程と、第1の酸化膜の一部を除去する工程と、シリコン基板を酸化し、第1の酸化膜を除去した領域にゲート酸化膜を形成し、残置された第1の酸化膜の膜厚を増大させて第2の酸化膜を形成する工程と、ゲート酸化膜上にゲート電極を形成する工程と、ゲート酸化膜直下の領域に隣接する半導体領域に不純物を導入し、ソース領域とドレイン領域とを形成する工程と、チャネル領域に接続する半導体領域にボディコンタクトを形成する工程とによって形成するものである。

【0022】

【作用】本発明においては、第1の絶縁層に接続して第2の絶縁層を膜厚を厚くさせて形成し、これらの膜上にゲート電極を形成することにより、ゲート容量の増加が抑制される。

【0023】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。図1は、本発明によるSOI構造MOS半導体装置の一実施例を説明するMOSFETの構成を示す図で図1(a)は要部平面図、図1(b)はそのB-B'線の断面図であり、前述した図12と同一部分には同一符号を付してある。図1において、ゲート電極5の先端部には、その延長線上に近接してp⁺型のボディコンタクト領域8が形成され、このボディコンタクト領域8上にはボディコンタクト電極12が形成されている。

【0024】また、ゲート電極5のボディコンタクト領

5

域 8 に近接する p^- 型のシリコン層 16 上には、チャネル領域 9 上にゲート絶縁膜 4 に連続してこのゲート絶縁膜 4 よりも膜厚の厚い絶縁膜 18 が連結して形成され、ゲート絶縁膜 4 およびこの絶縁膜 18 上に跨ってゲート電極 5 が形成されている。この場合、膜厚の厚い絶縁膜 18 は、ゲート電極 5 の形成領域内の図 1 (a) に斜線部分で示す領域 17 に形成され、チャネル領域 9 上のゲート絶縁膜 4 と連続して形成される構造となっている。なお、この絶縁膜 18 の膜厚は、ゲート電極 5 直下のゲート絶縁膜 4 の厚さの 2~5 倍の厚さで成膜されている。

【0025】このような構成においては、MOSFET を動作させるためにはソース領域 6、ドレイン領域 7 およびゲート電極 5 は必要不可欠であり、理想的にはゲート電極 5 は、ソース領域 6 とドレイン領域 7 との間に存在すれば良いが、実際の製造工程では、各構造を形成するために使用するマスクの精度に余裕を見込む必要があるため、ゲート電極 5 は、ボディコンタクト領域 8 などの他の領域に延在して形成されることになる。

【0026】このような構成によれば、ゲート電極 5 のゲート容量の増加部分となる斜線部分領域 17 におけるゲート酸化膜 18 の膜厚が厚く形成されているので、この斜線部分領域 17 の面積に相当するゲート容量が加算されることがなくなり、ゲート容量の増加が抑制されることになる。

【0027】図 2 は、本発明による SOI 構造 MOS 型半導体装置の他の実施例を説明する MOSFET の構成を示す図で図 2 (a) は要部平面図、図 2 (b) はその B-B' 線の断面図であり、前述した図と同一部分には同一符号を付してある。図 2 において、図 1 と異なる点は、ソース領域 6 およびドレイン領域 7 の一端側にはゲート電極 5 の先端部に形成される p^+ 型のボディコンタクト領域 8 と接続される p^- 型の接続領域 19 が形成されている。

【0028】また、ゲート電極 5 は、接続領域 19 およびボディコンタクト領域 8 上を交差して形成され、この接続領域 19 およびボディコンタクト領域 8 におけるゲート電極 5 直下において、チャネル領域 9 上にゲート絶縁膜 4 に接続してこのゲート絶縁膜 4 よりも膜厚の厚い絶縁膜 18 が連続して形成され、ゲート絶縁膜 4 およびこの絶縁膜 18 上に跨ってゲート電極 5 が形成されている。この場合も、膜厚の厚い絶縁膜 18 は、図 2 (a) に斜線部分で示す領域 17 において、ゲート絶縁膜 4 に連続して形成される構造となっている。

【0029】このような構成においては、膜厚の厚い絶縁膜 18 が形成される領域を接続領域 19 の一部としたのは、ゲート絶縁膜 4 の膜厚を領域毎に変化させるためにはマスクが必要となり、この精度余裕を見込む必要があることから、ソース領域 6 およびドレイン領域 7 の形成領域から接続領域 19 に移行する部分に絶縁膜 18 の

6

膜厚がゲート絶縁膜 4 と同じ厚さの所が形成されるためである。

【0030】このような構成においても、ゲート電極 5 のゲート容量の増加部分となる斜線部分領域 17 におけるゲート酸化膜 18 の膜厚が厚く形成されているので、この斜線部分領域 17 の面積に相当するゲート容量が加算されることがなくなり、ゲート容量の増加が抑制されることになる。

【0031】次にこのように構成される SOI 構造 MOS 半導体装置の製造方法について説明する。図 3~図 9 (a) は、SOI 構造 MOS 半導体装置の製造方法の一実施例を説明する MOSFET の各工程における要部断面図を示したものであり、なお、図 9 (b) は図 9 (a) の平面図を示している。

【0032】まず、図 3 に示すようにシリコン基板 14 上に絶縁膜 15 を介して形成された p^- 型シリコン層 16 を有する基板 20 を用意し、次に図 4 に示すようにこのシリコン層 16 の素子形成領域に例えば窒化シリコンなどの図示しない耐酸化性膜を形成し、素子形成領域外の領域を通常の選択酸化工程により、素子間分離用酸化膜 2 を形成する。

【0033】次に耐酸化性膜を除去してシリコン層 16 を露出させ、図 5 に示すように素子形成領域の表面を酸化させて第 1 の酸化膜 21 を形成する。この工程により、選択酸化された領域の端部に形成された結晶性の低い領域が酸化される（犠牲酸化）。

【0034】次に図 6 に示すように素子形成領域の第 1 の酸化膜 21 を通常のエッチング方法により除去する。さらにこの基板 20 を酸化する。これによって図 7 に示すように第 1 の酸化膜 21 を除去した領域にゲート絶縁膜 4 が形成される一方、残置された第 1 の酸化膜 21 の膜厚も増大して膜厚の厚い第 2 の絶縁膜 18 が形成されることになる。

【0035】次に図 8 に示すようにゲート絶縁膜 4 上にゲート電極 5 を形成する。さらにこのゲート電極 5 の直下のチャネル領域 9 に隣接するシリコン層 16 に不純物を注入する。これによって図 9 (b) に示すようにソース領域 6 とドレイン領域 7 とが形成される。

【0036】さらにチャネル領域 9 に接続するシリコン層 16 上に形成されている第 2 の酸化膜 18 の一部にエッチングを行ってボディコンタクト部 22 を形成した後、このボディコンタクト部 22 に不純物を注入することにより、図 9 (a), (b) に示すように SOI 構造 MOS 半導体装置が形成される。

【0037】このような製造方法によれば、擬制酸化工程とゲート絶縁膜形成工程とを利用することによって最小の工程数で厚さの異なる酸化膜 18 が形成でき、不要な熱処理などが必要となくなる。

【0038】なお、前述した実施例においては、ボディコンタクト電極の設置構造がソース領域とドレイン領域

7

とで入れ替わっても良い構造について説明したが、ソース領域側でボディコンタクト電極を設置している場合においても適用できることは言うまでもない。

【0039】また、前述した実施例においては、SOI構造MOS型半導体装置としてNチャネルMOSFETの場合について説明したが、PチャネルMOSFETの場合には、N型とP型とを入れ換えるのみで前述と同様の効果が得られる。

【0040】

【発明の効果】以上、説明したように本発明によるSOI構造MOS型半導体装置によれば、ボディコンタクトを設置する場合におけるゲート電極容量の増加によるトランジスタ性能の低下を抑制できるので、SOI構造の特徴を生かした高性能のMOS型半導体装置が得られるという極めて優れた効果を有する。

【0041】また、本発明によるSOI構造MOS型半導体装置の製造方法によれば、ボディコンタクトを有するSOI構造MOS型半導体装置が最小工程数で容易に形成することができるという極めて優れた効果を有する。

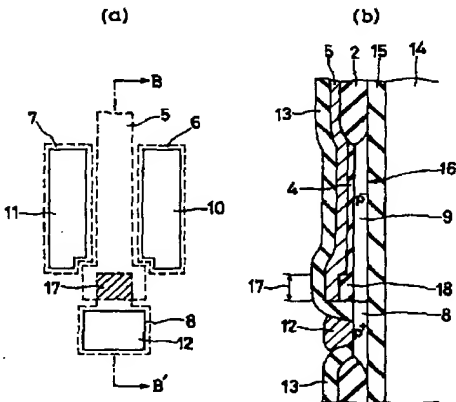
【図面の簡単な説明】

【図1】 本発明によるSOI構造MOS型半導体装置の一実施例による構成を説明する図である。

【図2】 本発明によるSOI構造MOS型半導体装置の他の実施例による構成を説明する図である。

【図3】 本発明によるSOI構造MOS型半導体装置

Fig. 1
【図1】



8

の製造方法の一実施例を説明する初期工程の要部断面図である。

【図4】 図3に引き続く工程の断面図である。

【図5】 図4に引き続く工程の断面図である。

【図6】 図5に引き続く工程の断面図である。

【図7】 図6に引き続く工程の断面図である。

【図8】 図7に引き続く工程の断面図である。

【図9】 図8に引き続く工程の断面図およびその平面図である。

10 【図10】 従来のMOS型半導体装置の構成を説明する図である。

【図11】 従来のSOI構造MOS型半導体装置の構成を説明する図である。

【図12】 従来のSOI構造MOS型半導体装置の構成を説明する図である。

【符号の説明】

1…シリコン基板、2…酸化膜、3…アクティブ領域、4…ゲート絶縁膜、5…ゲート電極、6…ソース領域、7…ドレイン領域、8…ボディコンタクト領域、9…チャネル領域、10…ソース電極、11…ドレイン電極、12…ボディコンタクト電極、13…層間絶縁膜、14…シリコン基板、15…絶縁膜、16…p⁺型シリコン層、17…ゲート絶縁膜を変化させる領域、18…絶縁膜、19…接続領域、20…基板、21…絶縁膜、22…ボディコンタクト部。

Fig. 2
【図2】

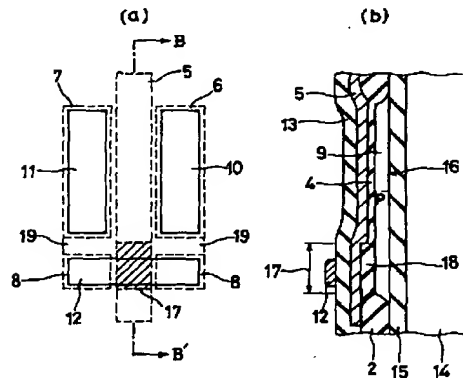


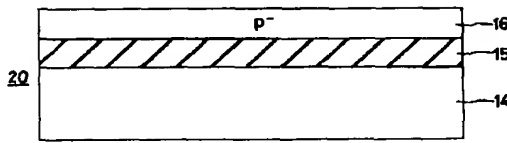
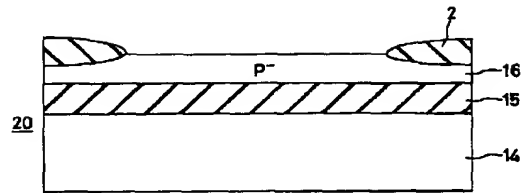
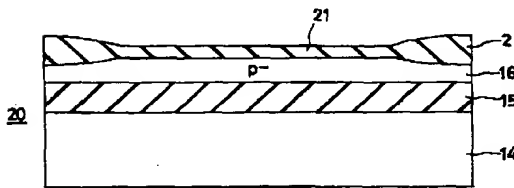
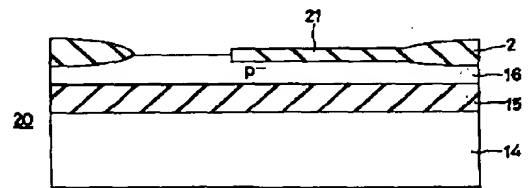
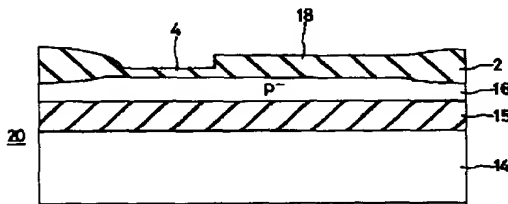
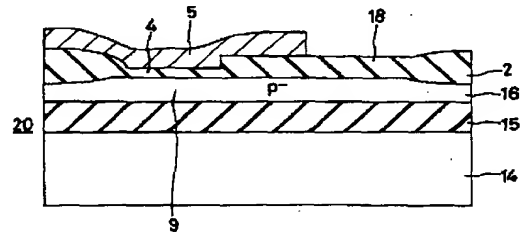
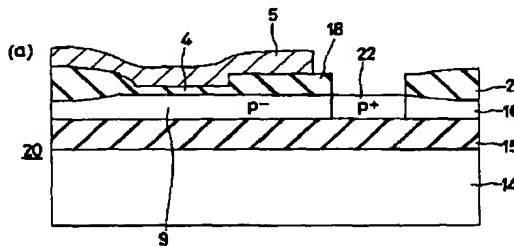
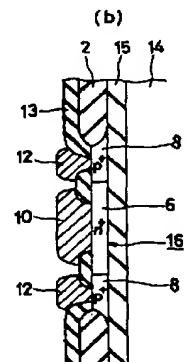
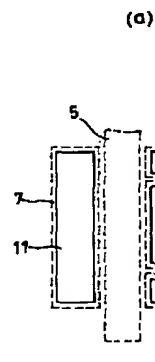
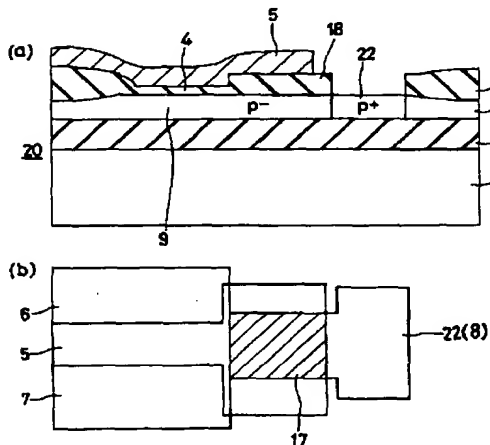
Fig. 3
【図 3】Fig. 4
【図 4】Fig. 5
【図 5】Fig. 6
【図 6】Fig. 7
【図 7】Fig. 8
【図 8】Fig. 9
【図 9】Fig. 11
【図 11】

Fig. 10

【図 10】

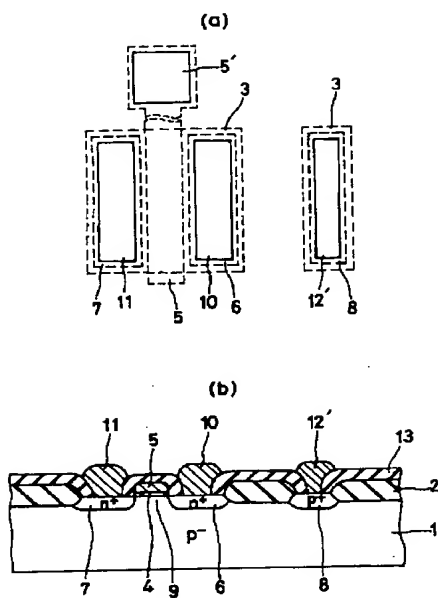


Fig. 12

【図 12】

